

《EDA 技术基础》课程教学大纲

课程名称：EDA 技术基础	课程类别（必修/选修）：选修
课程英文名称：EDA Technology Foundation	
总学时/周学时/学分：45/3/2.5	其中实验（实训、讨论等）学时：16
先修课程：模拟电子技术、数字电子技术等	
授课时间：周二下午 9-11 节/1-15 周	授课地点：7B310，实验 8B201/202
授课对象：2017 通信 3，4 班	
开课院系：电子与智能化学院	
任课教师姓名/职称：丁颜玉/讲师	
联系电话：18620885627	Email:dyysu@163.com
答疑时间、地点与方式：1. 每次上课的课前、课间和课后，7B310；采用一对一的问答方式；2. 每次发放作业时，7B310，采用集中讲解方式，3、每周二上午 9:30~11:30, 8B202；4、网络和电话答疑。	
课程考核方式：开卷（ ） 闭卷（ <input checked="" type="checkbox"/> ） 课程论文（ ） 其它（ ）	
使用教材：《EDA 技术实用教程-VHDL 版》（第五版）作者：潘松、黄继业，科学出版社	
教学参考资料：1、《VHDL 实用教程》作者：潘松、王国栋，电子科技大学出版社；2、徐志军、徐光辉，CPLD/FPGA 的开发与应用，电子工业出版社。	
<p>课程简介：《EDA 技术基础》是通信工程的工程基础类课程。本课程主要学习在 QuartusII 软件环境下利用硬件描述性语言 VHDL 设计电子系统并在现场可编程门阵列（FPGA）器件上下载实现的有关知识。要求熟练掌握 QuartusII 软件的使用方法，能够进行原理图输入或文本输入、时序或功能仿真和下载实现验证，并且熟练掌握应用 VHDL 设计数字系统的基本设计方法。</p>	
<p>课程教学目标</p> <p>1、掌握应用 VHDL 进行工程表达和交流的基本能力，尤其是基本数字电路的 VHDL 设计的能力。熟练掌握 VHDL 程序结构、语言要素；掌握基于 VHDL 的组合逻辑、时序逻辑及有限状态机的设计方法。</p> <p>2、了解可编程逻辑器件（FPGA）的知识，深入理解可编程逻辑器件的结构、特点、功能描述、输出配置、一般性测试等；</p> <p>3、掌握 EDA 工具软件 QuartusII 的安装和应用。熟练应用 QuartusII 对设计进行仿真和综合；对设计的管脚锁定，综合下载实现及资源配置的分析等；</p> <p>4、通过本课程的学习，形成自顶向下设计数字电路系统的基本理论和实践能力，能运用 EDA 技术解决实际问题，为进一步学习和从事专业实践打下基础。</p>	<p>本课程与学生核心能力培养之间的关联：</p> <p>■核心能力 1. 运用数学、基础科学及通信工程基础知识的能力；</p> <p>■核心能力 2. 独立完成通信工程相关实验，以及分析与解释数据的能力；</p> <p>■核心能力 3. 掌握通信工程相关领域所需基本技术、技巧及使用软硬件工具的能力；</p> <p>□核心能力 4. 具有对常用通信系统进行安装、调试、维护的工程实践能力；</p> <p>□核心能力 5. 项目管理、有效沟通、领域整合与团队合作的能力；</p> <p>□核心能力 6. 发掘、分析及解决复杂通信工程问题的能力；</p> <p>□核心能力 7. 认识时事议题与产业趋势，了解工程技术对环境、社会及全球的影响，并培育跨领域持续学习的习惯与能力；</p> <p>□核心能力 8. 具有社会职业道德，认知社会责任及尊重多元观点。</p>
理论教学进程表	

周次	教学主题	教学时长	教学的重点与难点	教学方式	作业安排
1	EDA 概述 FPGA/CPLD 结构原理	3	了解 EDA 技术及其发展趋势 FPGA/CPLD 的结构与工作原理, Cyclone 器件内部结构	课堂讲课	安装 EDA 工具
2	组合电路的 VHDL 设计	3	以 4 选 1 多路选择器、全加器及乘法器为例掌握 VHDL 电路描述方法, 重点掌握 VHDL 相关说明语句、组合逻辑电路的设计方法	课堂讲课	1-2 道题
3	组合电路的 VHDL 设计 时序仿真与硬件实现	3	学习使用 QuartusII 软件, 包括程序输入、仿真测试、引脚锁定及硬件测试等。	课堂讲课	1-2 道题
4	时序电路的 VHDL 设计	3	以 D 触发器、计数器为例掌握 VHDL 电路描述方法	课堂讲课	1-2 道题
5	时序电路的 VHDL 设计	3	重点掌握各种 VHDL 时序逻辑电路的描述方法。	课堂讲课	1-2 道题
6	VHDL 有限状态机设计	3	掌握 Moore 型有限状态机和 Mealy 型有限状态机	课堂讲课	1-2 道题
7	VHDL 设计深入	3	讲述几则 VHDL 的设计实例, 顺序语句归纳。	课堂讲课	1-2 道题
8	VHDL 设计优化	3	讲述设计优化和设计方法, 了解面积优化、逻辑优化的概念, 重点掌握使用 QuartusII 的优化设计方法。	课堂讲课	1-2 道题
9	16 位实用 CPU 创新设计	3	以 KX9016 为例, 学习 CPU 的结构、基本硬件系统、指令系统。	课堂讲课	1-2 道题
10	VHDL 语法补充 说明及 Test Bench 编写	2	讲述重载函数、VHDL 库的用法, 程序包的定义配置语句。VHDL 测试基准与仿真。	课堂讲课	1-2 道题
合计		29			
实践教学进程表					
周次	实验项目名称	学时	重点与难点	项目类型(验证/综合/设计)	教学方式

分散进行	2选1多路择器的设计	2	学习组合逻辑电路的VHDL设计方法，熟悉Quartus II 软件。	验证	课内实验
	4选1多路选择器的设计	2	学习组合逻辑电路的VHDL设计方法，熟悉Quartus II 软件。	验证	课外实验
分散进行	1 位全加器的设计	2	掌握层次化和图形设计的方法	验证	课内实验
	1 位全减器设计	2	掌握层次化设计的方法和图形设计方法	验证	课外实验
分散进行	D触发器的设计(锁存器的设计)	2	学习时序电路的VHDL设计方法，进一步熟悉Quartus II 软件。	验证	课内实验
	移位寄存器器设计	2	学习时序电路的VHDL设计方法，进一步熟悉Quartus II 软件。	验证	课外实验
分散进行	十进制计数器设计	2	带进位功能的十进制计数，通过数码管显示	验证	课内实验
	乘法器设计	2	两个个位数相乘得到结果显示输出	验证	课外实验
分散进行	任意偶数分频器的设计	2	任意偶数分频功能	设计	课内实验
	任意奇数分频器的设计	2	任意奇数分频功能	设计	课外实验
分散进行	状态机实现序列检测器 (序列可重叠检测器设计)	2	状态机的实践应用	验证	课内实验
	序列发生器设计	2	用状态机的实践应用	验证	课外实验
分散进行	乐曲硬件演奏电路（简易电子琴的设计）	4	利用数控分频器设计硬件乐曲演奏电路	设计	课内实验

	VGA 彩条显示器设计	4	实现显示功能多样化控制	设计	课外实验
合计：		32（课内、课外各 16）			
成绩评定方法及标准					
考核内容		评价标准			权重
期中考试		参考解答及评分标准。			20%
期末考试（闭卷）		试卷参考解答及评分标准。			70%
实验考核（临考前，学生从所有选做实验中随机选取1个实验，按照实验指导书的要求独立完成；实验数据经主考老师审核确认后签字，学生在规定时间内提交实验报告）		实验过程观察、回答问题情况、测量数据的合理性及实验报告结果分析的正确性（必做实验完成后需提交实验报告，未完成全部必做实验并提交实验报告的，该门课程的成绩以 0 分计）。			10%
大纲编写时间：2019-2-24					
系（部）审查意见：					
已审阅					
系（部）主任签名：			刘生珠		
			日期：2019-3-16		

注: 1、课程教学目标: 请精炼概括 3-5 条目标, 并注明每条目标所要求的学习目标层次 (理解、运用、分析、综合和评价)。本课程教学目标须与授课对象的专业培养目标有一定的对应关系

2、学生核心能力即毕业要求或培养要求, 请任课教师从授课对象人才培养方案中对应部分复制 (<http://jwc.dgut.edu.cn/>)

3、教学方式可选: 课堂讲授/小组讨论/实验/实训

4、若课程无理论教学环节或无实践教学环节, 可将相应的教学进度表删掉。